

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Katsumi Sameshima

Examiner: Unassigned

Serial No.: 09/451,979

Group Art Unit: 1753

Filed: November 30, 1999

Docket: 362-39

For: FERROELECTRIC MEMORY  
AND METHOD FOR  
MANUFACTURING SAME

Dated: February 4, 2000

Assistant Commissioner for Patents  
Washington, DC 20231

I hereby certify this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to:  
Assistant Commissioner for Patents, Washington, D.C.

20231 on February 4, 2000

Dated: 2/4/00

Susan L. Toledano

**CLAIM FOR PRIORITY AND TRANSMITTAL  
OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Sir:

Applicant hereby claims priority under 35 U.S.C. § 119 based on Japanese Patent Application No. 10-341326 filed December 1, 1998. The claim of priority to the above-referenced Japanese application is set forth in the Declaration and Power of Attorney filed herewith with the Response to Notice to File Missing Parts of Application dated January 4, 2000. A certified copy of the priority document is submitted herewith.

The Commissioner is hereby authorized to charge any fees associated with this communication to Deposit Account No. 08-2461. A duplicate copy of this sheet is attached.

Respectfully submitted,

Gerald T. Bodner

Registration No.: 30,449

Attorney for Applicant

HOFFMANN & BARON, LLP  
6900 Jericho Turnpike  
Syosset, New York 11791  
(516) 822-3550



日本特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年12月 1日

出願番号

Application Number:

平成10年特許願第341326号

出願人

Applicant(s):

ローム株式会社

1999年12月 3日

特許庁長官  
Commissioner  
近藤 隆彦

近藤 隆彦

出証番号 出証特平11-3085114

【書類名】 特許願

【整理番号】 98L01P1899

【提出日】 平成10年12月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 強誘電体メモリおよびその製造方法

【請求項の数】 14

【発明者】

【住所又は居所】 京都府京都市右京区西院溝崎町 21 ローム株式会社内

【氏名】 鮫島 克己

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100090181

【弁理士】

【氏名又は名称】 山田 義人

【代理人】

【識別番号】 100103056

【弁理士】

【氏名又は名称】 境 正寿

【手数料の表示】

【予納台帳番号】 014812

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1  
物41-2  
【物件名】 要約書

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリおよびその製造方法

【特許請求の範囲】

【請求項1】

絶縁膜、

前記絶縁膜の上面に形成された穴、

前記穴内に形成された下部電極、

前記下部電極上に形成された強誘電体、および

前記強誘電体上に形成された上部電極を備える、強誘電体メモリ。

【請求項2】

前記穴の底部に形成されて前記絶縁膜と前記下部電極とを隔離する膜をさらに備える、請求項1記載の強誘電体メモリ。

【請求項3】

前記下部電極は前記穴の隅部分に形成された第1電極部分と前記第1電極部分上に形成された第2電極部分とを含む、請求項1または2記載の強誘電体メモリ。

【請求項4】

前記下部電極の表面に前記下部電極と同じ材料からなる薄膜を形成した、請求項1ないし3のいずれかに記載の強誘電体メモリ。

【請求項5】

前記下部電極および前記絶縁膜のそれぞれの上面を平坦化して面一にした、請求項1ないし4のいずれかに記載の強誘電体メモリ。

【請求項6】

絶縁膜上に下部電極、強誘電体および上部電極を形成する強誘電体メモリの製造方法において、

前記絶縁膜の上面に穴を形成し、前記穴内に前記下部電極を塗布工程を含むフ

法

【請求項7】

前記プロセスはゾルゲル法を含む、請求項6記載の強誘電体メモリの製造方法

【請求項8】

前記穴の内部を含む前記絶縁膜の上面に導電膜をスピニ塗布法によって積層し  
、前記穴以外の部分の前記導電膜をエッティング除去することによって前記下部電  
極を形成するようにした、請求項6または7記載の強誘電体メモリの製造方法。

【請求項9】

前記穴の隅部分に第1電極部分をスピニ塗布法を含むプロセスによって形成し  
、前記第1電極部分の上に第2電極部分を形成して前記下部電極を構成するよう  
にした、請求項6または7記載の強誘電体メモリの製造方法。

【請求項10】

前記第2電極部分をスピニ塗布法を含むプロセスによって形成するようにした  
、請求項9記載の強誘電体メモリの製造方法。

【請求項11】

前記第2電極部分をスパッタリングによって形成するようにした、請求項9記  
載の強誘電体メモリの製造方法。

【請求項12】

前記絶縁膜の上面から所定の深さ位置に膜を形成し、前記膜をエッティングスト  
ップとして利用して前記絶縁膜をエッティングすることにより前記穴を形成するよ  
うにした、請求項6ないし11のいずれかに記載の強誘電体メモリの製造方法。

【請求項13】

前記下部電極の上面を平坦化し、その上に前記強誘電体を形成するようにした  
、請求項6ないし12のいずれかに記載の強誘電体メモリの製造方法。

【請求項14】

前記下部電極の上面を平坦化し、その上に前記下部電極と同じ材料からなる薄  
膜を形成し、その上に前記強誘電体を形成するようにした、請求項6ないし12

のいずれかに記載の強誘電体

を複数形成する。

【発明の詳細な説明】

【0001】

## 【産業上の利用分野】

この発明は強誘電体メモリおよびその製造方法に関し、特にたとえば絶縁膜上に下部電極、強誘電体および上部電極をこの順に形成した構造を有する強誘電体メモリおよびそのような強誘電体メモリの製造方法に関する。

## 【0002】

## 【従来の技術】

図13に示すこの種の従来の強誘電体メモリ1は、図示しない半導体基板およびその上に形成された第1絶縁膜2を含み、第1絶縁膜2上には、下部電極3、強誘電体4および上部電極5がこの順に形成され、さらに、これらを覆うようにして第2絶縁膜6が積層される。強誘電体メモリ1を製造する際には、図14(A)に示すように、半導体基板に形成された第1絶縁膜2上に白金(Pt)等からなる導電膜3aをスパッタリングによって積層し、導電膜3a上にチタン酸ジルコン酸鉛(PZT)等からなる強誘電体膜4aをゾルゲル法によって積層し、さらに、強誘電体膜4a上に白金(Pt)等からなる導電膜5aをスパッタリングによって積層する。そして、図14(B)に示すように、導電膜5a、強誘電体膜4aおよび導電膜3aをそれぞれ順次ドライエッティングして、上部電極5、強誘電体4および下部電極3を形成し、その後、これらを覆うようにして絶縁膜6(図13)をCVD法によって積層する。

## 【0003】

## 【発明が解決しようとする課題】

従来技術では、導電膜5a、強誘電体膜4aおよび導電膜3aをそれぞれ上部電極5、強誘電体4および下部電極3に要求される膜厚分だけ積層し、不要部分におけるこれらの全膜厚分をドライエッティングにより除去していたのでエッティング量が多く、エッティングに長時間を要していた。したがって、ドライエッティングプロセスにおいて強誘電体4がプラズマ雰囲気中に長時間さらされることになり、プラズマの影響によって、強誘電体4のスイッチングチャージ量(Qsw)が

の問題を生じる恐れがあった。

## 【0004】

それゆえに、この発明の主たる目的は、強誘電体特性の劣化を防止できる、強誘電体メモリおよびその製造方法を提供することである。

## 【0005】

## 【課題を解決するための手段】

第1の発明は、絶縁膜、絶縁膜の上面に形成された穴、穴内に形成された下部電極、下部電極上に形成された強誘電体、および強誘電体上に形成された上部電極を備える、強誘電体メモリである。

第2の発明は、絶縁膜上に下部電極、強誘電体および上部電極を形成する強誘電体メモリの製造方法において、絶縁膜の上面に穴を形成し、穴内に下部電極を塗布工程を含むプロセスによって形成するようにしたことを特徴とする、強誘電体メモリの製造方法である。

## 【0006】

## 【作用】

絶縁膜の上面に穴を形成し、この穴内にスピニ塗布法を含むプロセス（ゾルゲル法等）によって下部電極を形成する。スピニ塗布法による塗布工程では、絶縁膜の表面に前駆体溶液が滴下されて遠心力によって吹き飛ばされるため、これによって積層される導電膜においては、前駆体溶液が溜まり易い穴部分すなわち下部電極となる部分の膜厚が厚くなり、穴以外の部分の膜厚は薄くなる。したがって、導電膜をエッティングして下部電極を形成する際には、穴以外の部分すなわち導電膜の膜厚が薄くなった部分のみをエッティングすればよく、短時間でエッティングできる。ただし、導電膜の膜厚が薄くなった部分を配線として残す場合には、エッティングする必要はない。また、穴の隅部分にスピニ塗布法を含むプロセスによって第1電極部分を形成し、その上に第2電極部分をスピニ塗布法を含むプロセスによって形成すると、これらによって構成される下部電極の上面中央部の凹み量が少なくなる。一方、穴の隅部分にスピニ塗布法を含むプロセスによって第1電極部分を形成し、その上に第2電極部分をスパッタリングによって形成する

市電極の上に、この膜をエッサンクストップして絶縁膜に穴を形成すると、所定の深さで穴の底面が平坦になり、また、絶縁膜中の

水分が下部電極を通して強誘電体へ至るのが膜によって阻止される。さらに、穴内に形成される下部電極の上面と絶縁膜の上面とを平坦化して面一にすると、穴以外の部分の導電膜を後工程でエッチングする必要がなくなる。平坦化した下部電極の表面に下部電極と同材料からなる薄膜を形成すると、平坦化に伴う下部電極の表面荒れが解消される。

#### 【0007】

##### 【発明の効果】

この発明によれば、ドライエッティングプロセスにおいて強誘電体がプラズマ雰囲気中にさらされる時間を短縮できるので、プラズマの影響によって強誘電体の特性が劣化するのを防止できる。

また、穴の隅部分に下部電極を構成する第1電極部分を形成し、その上に第2電極部分を形成したり、平坦化した下部電極の表面に薄膜を形成することによって、強誘電体の結晶性および配向性を安定させることができる。

#### 【0008】

また、絶縁膜の上面から所定の深さ位置に膜を形成し、この膜をエッティングストップとして利用して穴を形成すると、穴の底面を所定の深さで平坦にすることができるので、下部電極を安定して形成できる。また、この膜によって絶縁膜に含まれる水分が強誘電体に至るのを阻止できるので、強誘電体の特性劣化を防止できる。

#### 【0009】

この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

#### 【0010】

##### 【実施例】

図1に示すこの実施例の強誘電体メモリ10は、図示しないシリコン(Si)基板上に形成された第1絶縁膜12を含み、第1絶縁膜12の上面には穴14が

形成され、**下部電極**、**強誘電体**、**上部電極**、**第2絶縁膜**、**導電膜**の順に積層され、**上部電極**がこの順に形成され、ついで、これらを覆うようにして**第2絶縁膜**22が積層される。

## 【0011】

以下には、図2および図3に従って強誘電体メモリ10の製造方法を具体的に説明する。まず、図示しないシリコン(Si)基板を準備し、その表面にリン含有シリカガラス(PSG)またはボロン・リン含有シリカガラス(BPSG)等からなる第1絶縁膜12をCVD法によって積層する。続いて、図2(A)に示すように、第1絶縁膜12をパターン形成したレジスト24でマスクして、異方性のドライエッチングであるRIE(反応性イオンエッチング)法によって穴14を形成する。そして、図2(B)に示すように、穴14の内部を含む第1絶縁膜12の表面にゲル乾燥膜である第1導電膜26をソルゲル法によって積層する。すなわち、成分元素であるイリジウム(Ir)を含む金属アルコキシド溶液を加水分解・重縮合させてIr前駆体溶液を作成し、これを第1絶縁膜12の表面にスピニ塗布法により塗布した後、乾燥させてゲル乾燥膜とする。スピニ塗布法による塗布工程では、第1絶縁膜12の表面に滴下された前駆体溶液が遠心力によって吹き飛ばされるが、穴14内の前駆体溶液は吹き飛ばされ難いので、第1導電膜26の肉厚は、図2(B)に示すように、穴14内の部分が他の部分よりも厚くなる。

## 【0012】

そして、図2(C)に示すように、第1導電膜26の表面に強誘電体18を構成する膜28をソルゲル法によって積層する。すなわち、PZT(チタン酸ジルコン酸鉛)前駆体溶液を第1導電膜26の表面にスピニ塗布法により塗布した後、これを乾燥させてゲル乾燥膜とする。膜28を積層した後、この構造体をRTA(Rapid Thermal Annealing)装置を用いて熱処理し、第1導電膜26および膜28に含まれる有機物を熱分解して除去する。そして、図2(D)に示すように、膜28上に白金(Pt)からなる第2導電膜30をスパッタリングによって積層する。

## 【0013】

膜26を順次エッチャリング法にて不要部分を除去するエッチャング工程では、第2導電膜30および膜28をそれらの全膜厚分すなわち上部電極20およ

び強誘電体18に要求される膜厚分だけエッティングする必要があるが、第1導電膜26については、穴14からはみ出した部分をエッティングするだけでよい。上述したように、穴14からはみ出した部分の膜厚は、下部電極16の膜厚より薄いので、下部電極16の全膜厚分をエッティングする従来技術に比べてエッティング時間は短くなる。

#### 【0014】

そして、この構造体をRTA装置を用いて熱処理し、第1導電膜26および膜28を焼結して結晶化することによって、酸化イリジウム( $\text{IrO}_2$ )からなる下部電極16およびチタン酸ジルコン酸鉛(PZT)からなる強誘電体18を得る。この実施例では、膜28上の第2導電膜30を優先配向性を有する白金(Plt)で形成しているので、強誘電体18は第2導電膜30の配向性に類似した配向性で結晶化する。すなわち、第2導電膜30によって強誘電体18の配向性が制御される。

#### 【0015】

このようにして下部電極16、強誘電体18および上部電極20を形成した後、図1に示すように、これらを覆うようにしてリン含有シリカガラス(PSG)またはボロン・リン含有シリカガラス(BPSG)等からなる第2絶縁膜22をCVD法によって積層する。

この実施例によれば、絶縁膜12の上面に穴14を形成し、この穴14にスピン塗布法による塗布工程を含むソルゲル法によって下部電極16を形成しているので、上述したように、下部電極16を形成するためのエッティング時間を短くすることができる。したがって、強誘電体18を構成する膜28がドライエッティングプロセスにおけるプラズマ雰囲気中にさらされる時間を短縮でき、強誘電体18の特性がプラズマの影響で劣化するのを防止できる。

#### 【0016】

図3に示す他の実施例の強誘電体メモリ32は、下部電極16、強誘電体18

、上部電極20、絶縁膜22、上部電極20、強誘電体18、下部電極16の順序で積層され、この穴14に上部電極20を埋め込むようにしたものである。

強誘電体メモリ32を製造する際には、図4(A)に示すように、穴14が形

成された第1絶縁膜12の上に第1導電膜26および膜28をスピン塗布法によって積層する。続いて、図4（B）に示すように、膜28および第1導電膜26をエッティング（RIE法）して不要部分を除去し、この構造体をRTA装置を用いて熱処理する。そして、図4（C）に示すように、第1導電膜26および膜28を覆うようにして第2絶縁膜22を積層し、その上面をCMP（化学機械研磨）法によって平坦化する。その後、図4（D）に示すように、第2絶縁膜22をエッティング（RIE法）して穴34を形成し、この穴34を覆うようにして第2絶縁膜22上に第2導電膜30をスピン塗布法（ソルゲル法）によって積層する。そして、第2導電膜30および第2絶縁膜22の上面をCMP（化学機械研磨）法によって平坦化した後、この構造体をRTA装置を用いて熱処理し、下部電極16、強誘電体18および上部電極20を焼結して結晶化する。平坦化プロセスではCMP法に代えてエッティングを用いてもよいが、エッティングによる場合には、図5に示すように、上部電極20の上面が第2絶縁膜22の上面よりもやや高くなる。

#### 【0017】

この実施例においても、先の実施例と同様に、ドライエッティングプロセスにおいて膜28がプラズマ雰囲気中にさらされる時間を短縮できるので、強誘電体18の特性が劣化するのを防止できる。また、穴34に上部電極20を埋め込むとともに、上部電極20および第2絶縁膜22の上面を平坦化しているので、第2絶縁膜22の上面に上部電極20と導通する配線膜を積層することができる。

#### 【0018】

なお、上述のそれぞれの実施例では、図2（E）または図4（B）に示す工程において、第1導電膜26の穴14からはみ出した部分をもエッティングにより除去しているが、たとえば図6（A）または図6（B）に示すように、この部分をエッティングせずに配線32として用いるようにしてもよい。

また、図2（C）または図4（A）に示す工程においては、第1導電膜26および第2絶縁膜22に示すように、これらの上面をCMP（化学機械研磨）法またはエッチャングによって平坦化した後に、膜28を積層するようにしてもよい。この場合には、穴

（孔）、配線膜、上部電極、下部電極、第2絶縁膜

に示すように、これらの上面をCMP（化学機械研磨）法またはエッチャングによって平坦化した後に、膜28を積層するようにしてもよい。この場合には、穴

14からはみ出した部分の第1導電膜26を後工程でエッチングする必要がないので、エッチング時間をさらに短縮できる。また、平坦化プロセスで生じる第1導電膜26の表面荒れを解消するために、図8に示すように、平坦化された第1導電膜26の表面にこれと同材料からなる薄膜36を積層するようにしてもよい。

## 【0019】

また、図9に示すように、第1絶縁膜12の所定深さ位置に窒化シリコン(SiN)または窒酸化シリコン(SiON)等からなる膜厚1000Å程度の膜38を形成し、この膜38をエッチングストップとして利用して穴14を形成するようにしてもよい。膜38を形成すると、穴14の底面を所定の深さで平坦にすることができるので、その上に下部電極16(図1, 図3)を安定して形成できる。また、膜38より下の絶縁膜12に含まれる水分が下部電極16を通して強誘電体18に至るのを阻止できるので、水分の影響によって強誘電体18(図1, 図3)の特性が劣化するのを防止できる。

## 【0020】

また、図10に示すように、穴14の隅部分にスピニ塗布法を含むプロセス(ゾルゲル法等)によって第1電極部分16aを形成し、その上に第2電極部分16bを形成して下部電極16を構成してもよい。この場合に、第2電極部分16bをスピニ塗布法を含むプロセス(ゾルゲル法等)によって形成すると、下部電極16の焼成に伴う上面中央部の凹み量を少なくすることができる。一方、第2電極部分16bすなわち第1導電膜26bをスパッタリングによって形成すると、図11に示すように、下部電極16の上面における結晶方向のばらつきを少なくすることができるので、その上に形成される強誘電体18(図10)の結晶状態を安定させることができ。さらに、図12に示すように、第1電極部分16aを穴14の底面全体に形成すると、第1電極部分16aの膜厚分だけ第2電極部分16bの膜厚を薄くすることができるので、エッチングプロセスにおけるエ

## 【0021】

また、下部電極16としては、酸化イリジウム(IrO<sub>2</sub>)に代えて、酸化ル

テニウム ( $\text{RuO}_2$ ) , 酸化ロジウム ( $\text{RhO}_2$ ) または酸化パラジウム ( $\text{PdO}_2$ ) 等を用いてもよく、その場合には、ルテニウム ( $\text{Ru}$ ) , ロジウム ( $\text{Rh}$ ) またはパラジウム ( $\text{Pd}$ ) 等を成分元素として前駆体溶液を作成する。

さらに、上述のそれぞれの実施例では、下部電極16および上部電極20(図3, 図5)をゾルゲル法で形成しているが、たとえばMOD法(有機金属分解法)のように、スピニ塗布工程を含む他のプロセスで形成するようにしてもよい。

【図面の簡単な説明】

【図1】

この発明の一実施例を示す図解図である。

【図2】

図1実施例の製造方法を示す図解図である。

【図3】

この発明の他の実施例を示す図解図である。

【図4】

図3実施例の製造方法を示す図解図である。

【図5】

図3実施例の変形例を示す図解図である。

【図6】

この発明の他の実施例を示す図解図である。

【図7】

平坦化された第1導電膜および第1絶縁膜の上に強誘電体を構成する膜を積層した状態を示す図解図である。

【図8】

平坦化された第1導電膜の表面に表面荒れを解消するための膜を積層した状態を示す図解図である。

【図9】

... 絶縁膜の埋め込み部、凹部、溝部等の凹凸部を充填する構造

【図10】

穴の隅部分に第1電極部分を形成した状態を示す図解図である。

【図11】

第1電極部分の上に第2電極部分を構成する第1導電膜をスパッタリングによって積層した状態を示す図解図である。

【図12】

第1電極部分を穴の底面全体に形成した状態を示す図解図である。

【図13】

従来の強誘電体メモリを示す図解図である。

【図14】

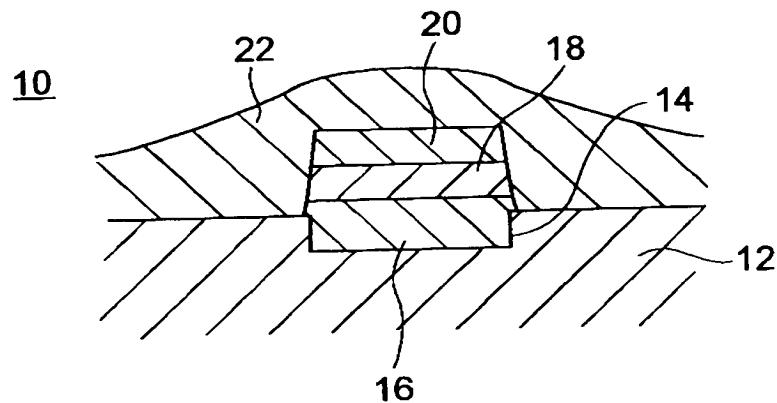
従来の強誘電体メモリの製造方法を示す図解図である。

【符号の説明】

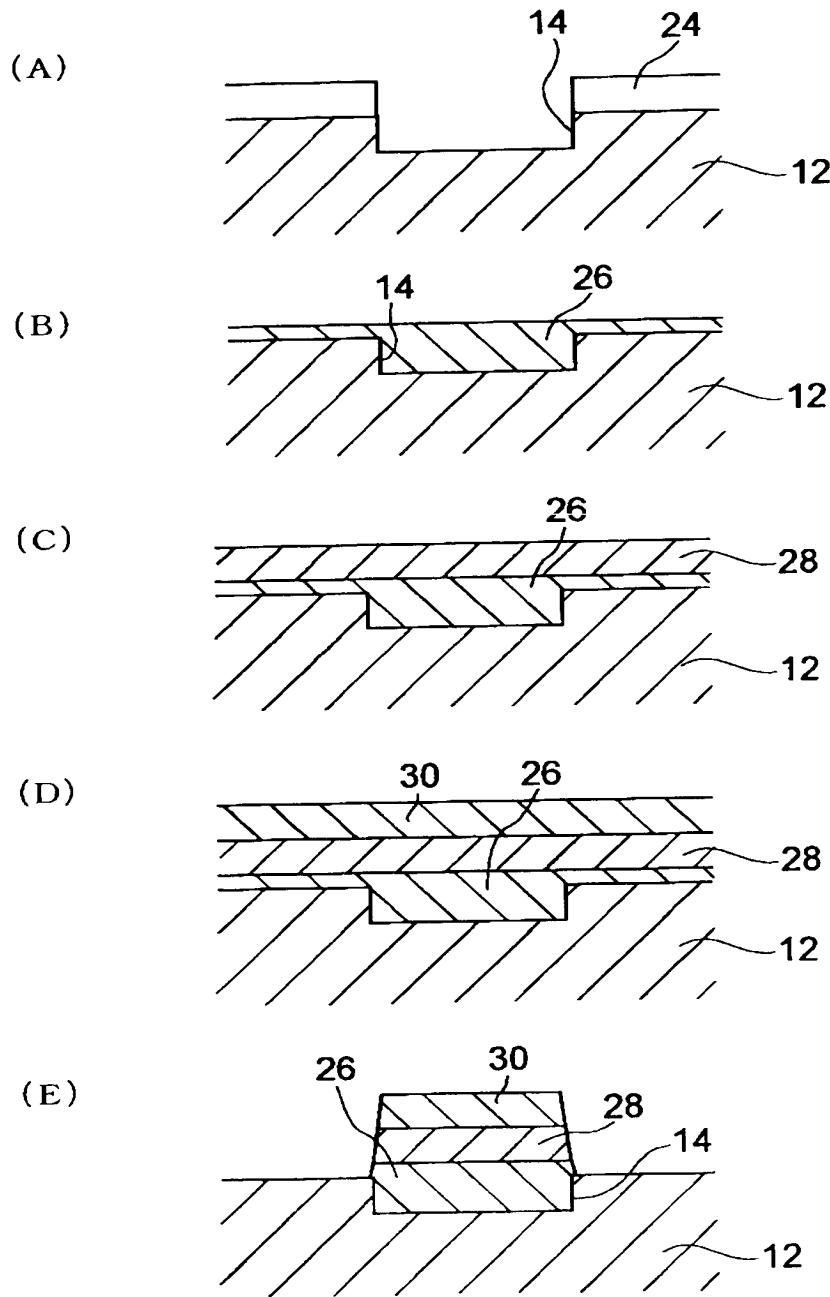
- 10 …強誘電体メモリ
- 12 …第1絶縁膜
- 14 …穴
- 16 …下部電極
- 18 …強誘電体
- 20 …上部電極
- 22 …第2絶縁膜
- 26 …第1導電膜
- 28 …膜
- 30 …第2導電膜

【書類名】 図面

【図1】

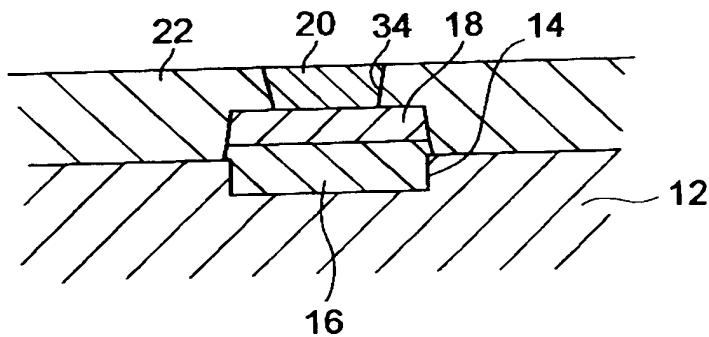


【図2】

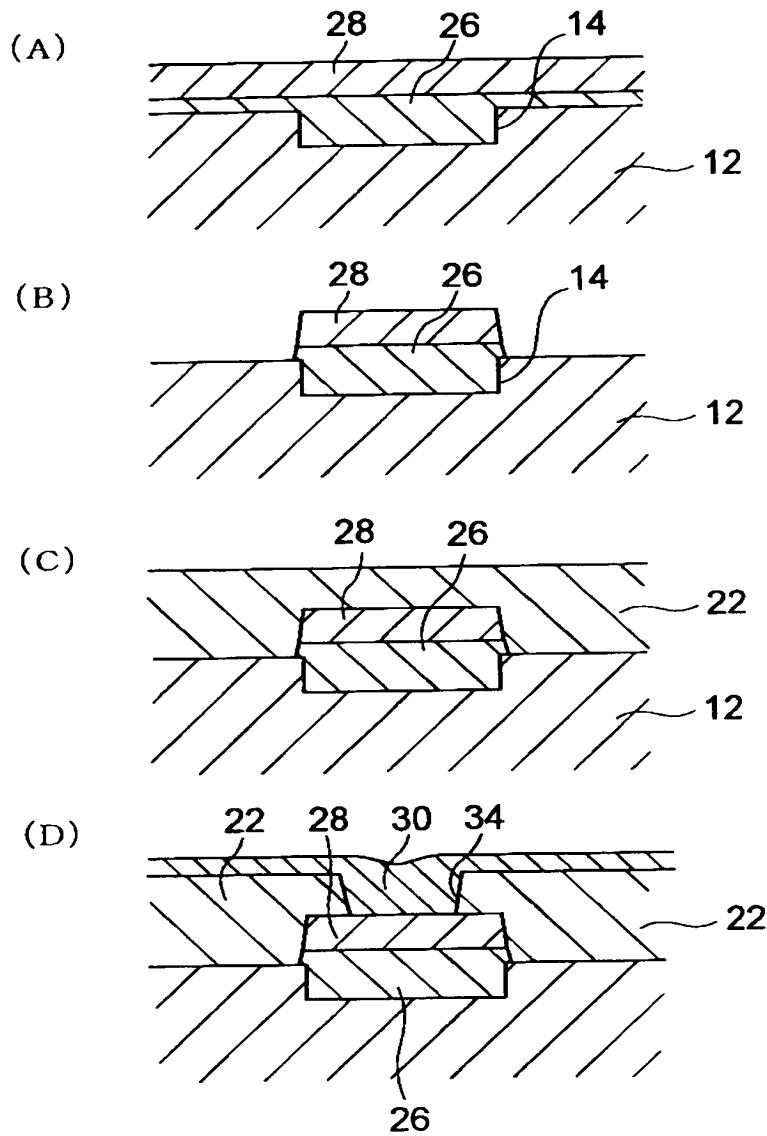


【図3】

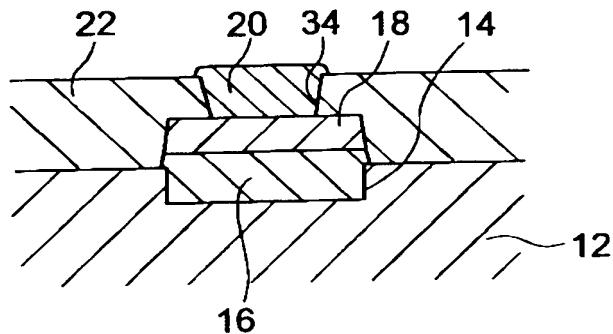
32



【図4】

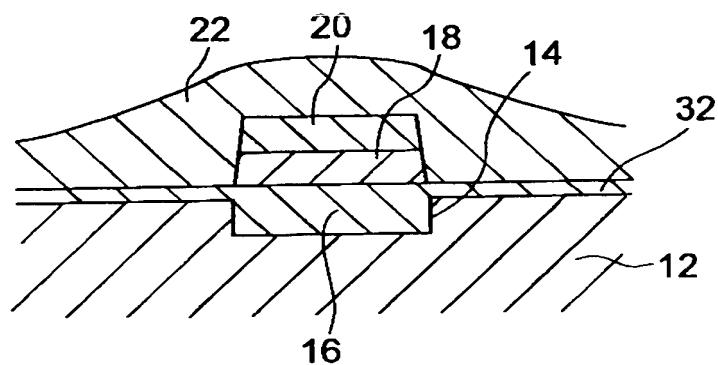


【図5】

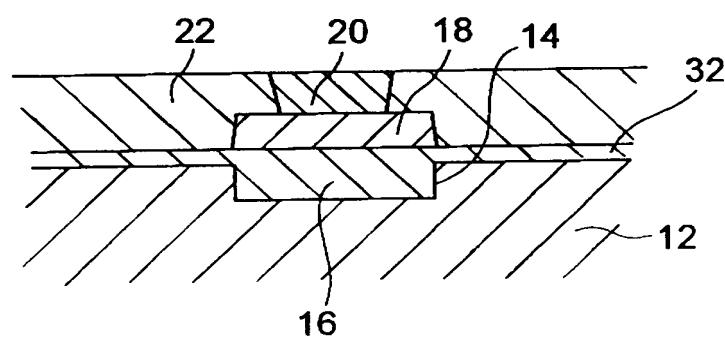


【図6】

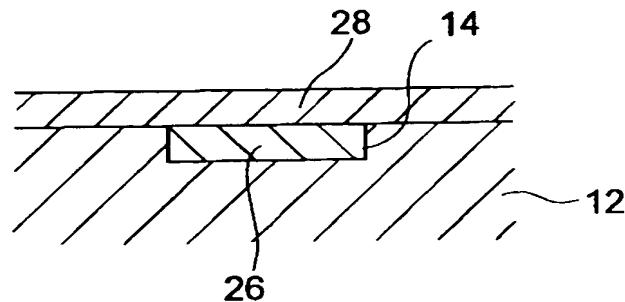
(A)



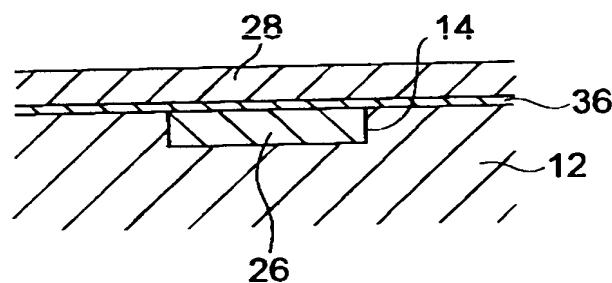
(B)



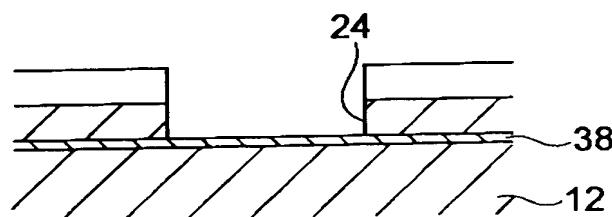
【図7】



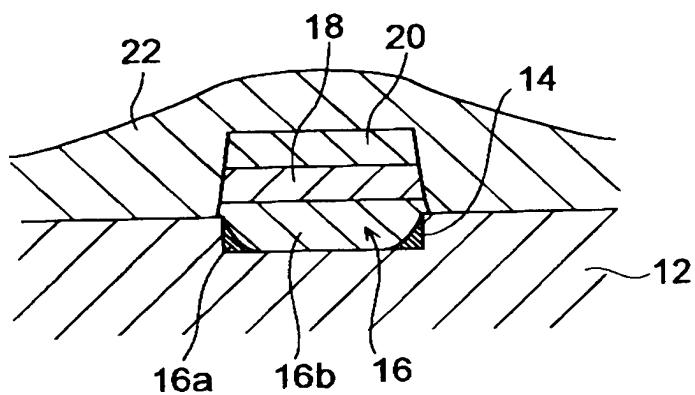
【図8】



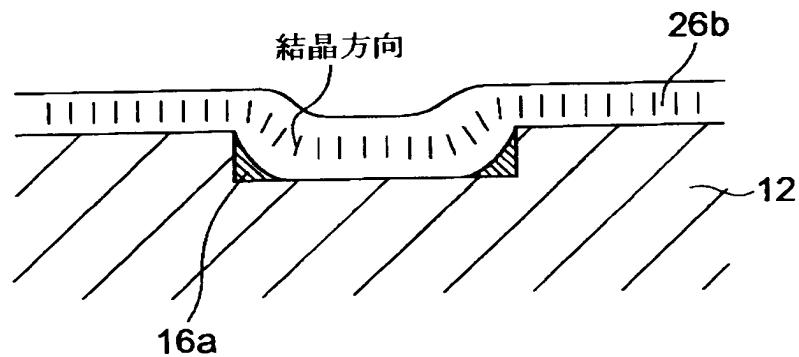
【図9】



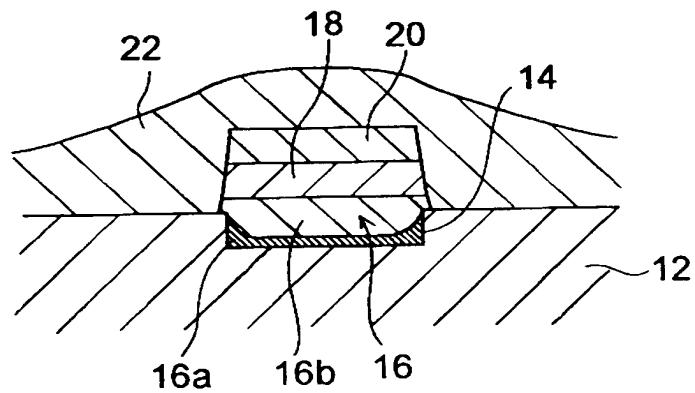
【図10】



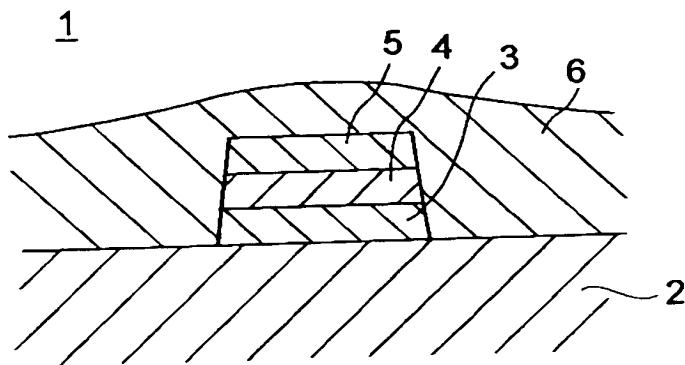
【図11】



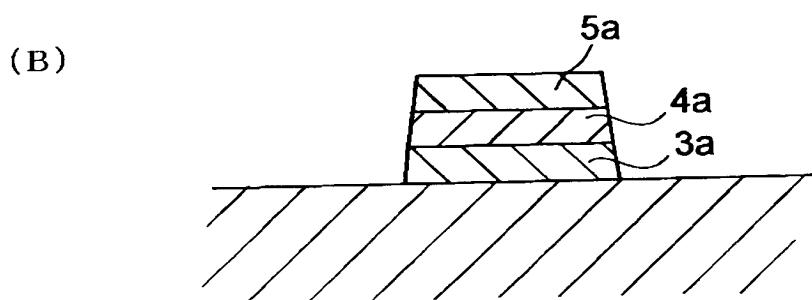
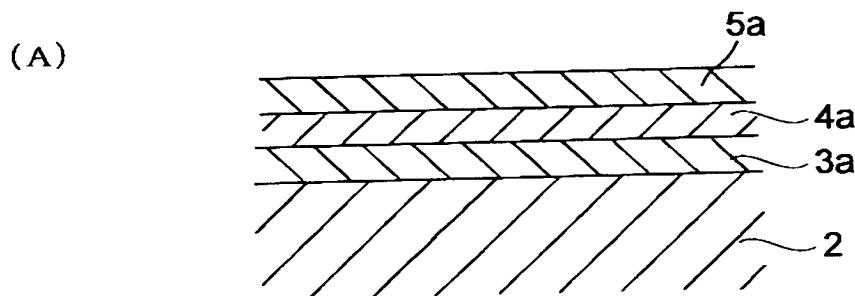
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【構成】 第1絶縁膜12の上面に穴14を形成し、この穴14内にスピニ塗布法による塗布工程を含むソルゲル法によって下部電極16を形成する。スピニ塗布法による塗布工程では、第1絶縁膜12の表面に前駆体溶液が滴下されて遠心力によって吹き飛ばされるため、これによって積層される第1導電膜においては、前駆体溶液が溜まり易い穴14の部分すなわち下部電極16となる部分の膜厚が厚くなり、穴14以外の部分の膜厚は薄くなる。したがって、第1導電膜をドライエッティングして下部電極16を形成する際には、穴14以外の部分すなわち第1導電膜の膜厚が薄くなった部分のみをエッティングすればよく、短時間でエッティングできる。

【効果】 ドライエッティングプロセスにおいて強誘電体18がプラズマ雰囲気中にさらされる時間を短縮できるので、プラズマの影響によって強誘電体18の特性が劣化するのを防止できる。

【選択図】 図1

## 認定・付加情報

特許出願の番号	平成10年 特許願 第341326号
受付番号	59800772164
書類名	特許願
担当官	小菅 博 2143
作成日	平成11年 6月15日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】 000116024

【住所又は居所】 京都府京都市右京区西院溝崎町21番地

【氏名又は名称】 ローム株式会社

## 【代理人】

【識別番号】 100090181

【住所又は居所】 大阪府大阪市中央区伏見町2丁目6番6号 (タ  
ナベビル7F) 山田特許事務所

【氏名又は名称】 山田 義人

## 【代理人】

【識別番号】 100103056

【住所又は居所】 大阪府大阪市中央区伏見町2丁目6番6号 (タ  
ナベビル 7階)

【氏名又は名称】 境 正寿

次頁無

出願人履歴情報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地

氏 名 ローム株式会社